

Dispositivos Integrados Especializados

Escuela Politécnica Superior, Universidad Autónoma de Madrid

Tema: Sincronización en Circuitos Integrados

Subtema: Árbol de reloj

Objetivos: Comprender la complejidad de lógica y recursos asociados al reloj de FPGAs.

Bibliografía: Apuntes de clases. Hoja de datos *Standard Cells* Atmel.

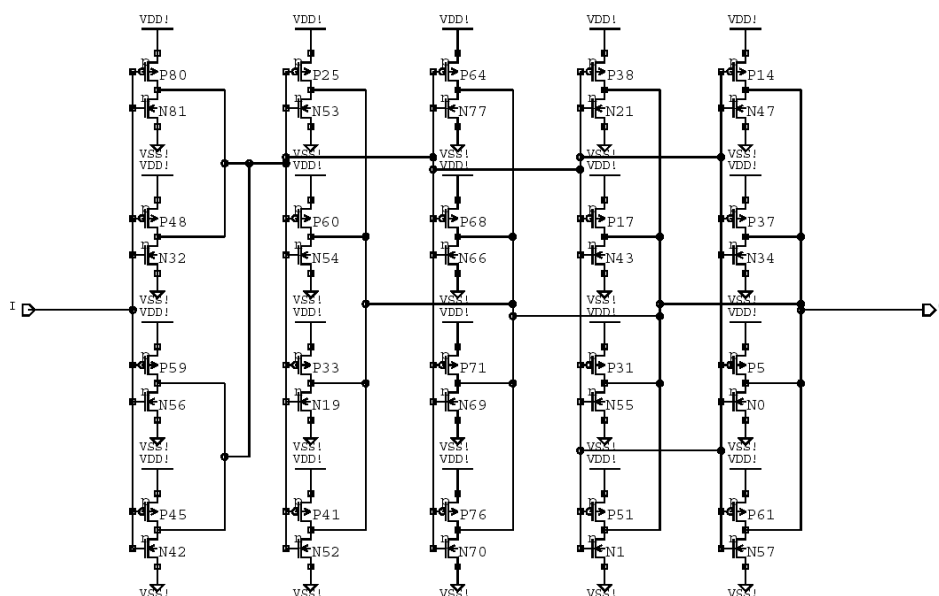
© eduardo.boemo@uam.es

Problemas Propuestos

1. En la tabla adjunta se indica que una FPGA Xilinx XC6VLX760 tiene 948480 *flip-flops*. Suponga que el *fanin* de la entrada de reloj de cada FF es 0,005 pF y que un 1 lógico son 1,8 volt. Calcule que corriente (es decir, considerando que se cargan las capacidades con una corriente constante) es necesaria para llevar el reloj de todos los FF de 0 a 1 lógico (un flanco de subida) en 1 ns.

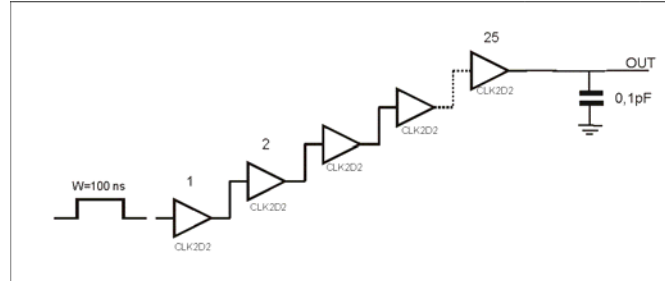
Part Number	XC6VLX75T	XC6VLX130T	XC6VLX195T	XC6VLX240T	XC6VLX365T	XC6VLX550T	XC6VLX760
EasyPath™ FPGA Cost Reduction Solutions ⁽³⁾	XCE6VLX75T	XCE6VLX130T	XCE6VLX195T	XCE6VLX240T	XCE6VLX365T	XCE6VLX550T	XCE6VLX760
1. Slices ⁽²⁾	11,640	20,000	31,200	37,680	56,880	85,920	118,560
Logic Cells ⁽²⁾	74,496	128,000	199,680	241,152	364,032	549,888	758,784
CLB Flip-Flops	93,120	160,000	249,600	301,440	455,040	687,360	948,480

2. Qué es un *driver*?Cuál es su principio de diseño? Explique la estructura de *driver* de la figura, detallado a nivel de transistor.



3. Cuantos FF D tipo *dfnrq1* puede manejar un *buffer* inversor de Atmel tipo *clk2d2*. Considere el caso (irreal) en que la capacidad de pista es despreciable. Utilice las hojas de datos del final de esta guía.
4. Diseñe un árbol de reloj formado *buffers clk2d2* para alimentar a 44096 FF tipo *DFNRB1* (el número 44096 es exactamente la cantidad de FF de una FPGA Virtex XC2VP100). Tenga en cuenta que el número de *buffers* insertados en serie en el árbol de reloj debe ser par (¿por qué?). Capacidad pistas despreciable.
5. En el árbol anterior calcule la latencia del reloj. Es decir, el tiempo que transcurre desde que entra el reloj por el pin metálico hasta que llega a cada FF.
6. ¿Qué es el skew de reloj? Imagine que debido a un rediseño, una de las ramas del árbol anterior sólo maneja 15 FF. ¿Qué skew introduciría este desbalance?
7. ¿Qué potencia disipan los FF del árbol de reloj del problema 5 si funcionan a 300 MHz?

8. ¿Cuál sería el máximo desbalance admisible (expresado en capacidad y número de FF) entre dos ramas de un árbol de reloj construido con FF D tipo *dfrmq1* y *buffers CLK2D2*, si en el proyecto se especifica que el *skew* no puede sobrepasar 200 ps? Considere como primera aproximación que la capacidad de las pistas es nula.
9. Un pulso que está a “1” durante 100 ns pasa a través de 25 *buffers CLK2D2* conectados en cascada. La señal entra por el terminal *clk* y sale por el terminal *c* (la salida no inversora del *buffer*). Se pide calcular el ancho del pulso (el tiempo en que está a “1”) en la salida OUT. El último buffer también soporta una carga total igual al fanin de un *buffer*.

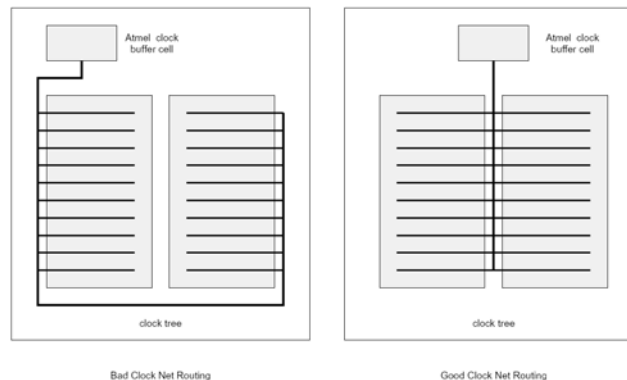


10. Explique qué significado tiene cada frase del documento de la Agencia Espacial Europea titulado "ASIC Design and Manufacturing Requirements" (Issue 2, Oct'94), que especifica lo siguiente:

Synchronous Design: Wherever possible the design shall be synchronous according to the following definition:

- *Every latch and flip-flop within a clock region shall be connected to the same clock source with only buffers inserted for the purpose of increasing the driving strength or using another clock edge (no logic functions or memory elements are allowed).*
- *The clock tree for each clock region should be optimally balanced.*
- *The device function shall not be dependent on internal signal delays.*

11. ¿Por qué la nota "Clock Buffer Cell User Guide", de Atmel indica que la distribución de reloj de la figura de la derecha es mejor?



12. En el trozo de hoja de datos adjunto se indica la distorsión de *duty-cycle* y el *skew* de un árbol de reloj de Xilinx. Explique por qué ocurre cada parámetro.

Clock Switching Characteristics

The parameters in this section provide the necessary values for calculating timing budgets for Virtex-6 FPGA clock transmitter and receiver data-valid windows.

Table 70: Duty Cycle Distortion and Clock-Tree Skew

Symbol	Description	Device	Speed Grade				Units
			-3	-2	-1	-1L	
T _{DCD_CLK}	Global Clock Tree Duty Cycle Distortion ⁽¹⁾	All	0.12	0.12	0.12	0.12	ns
T _{CKSKEW}	Global Clock Tree Skew ⁽²⁾	XC6VLX75T	0.16	0.16	0.18	0.17	ns